

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-161526
 (43)Date of publication of application : 21.06.1996

(51)Int.Cl. G06T 15/40
 A63F 9/22
 G06T 15/00
 // H04N 7/18

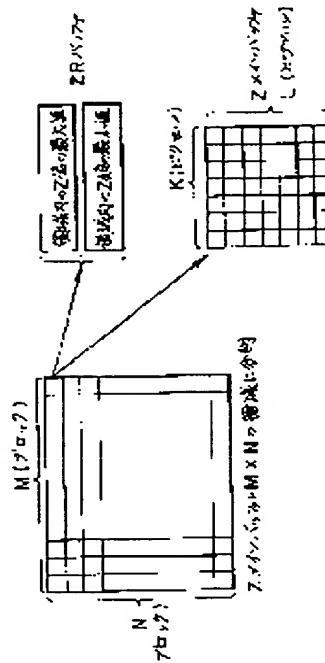
(21)Application number : 06-321520 (71)Applicant : NAMCO LTD
 (22)Date of filing : 30.11.1994 (72)Inventor : TAKEDA MASAKI

(54) DEVICE AND METHOD FOR COMPOSING IMAGE

(57)Abstract:

PURPOSE: To improve a conventional Z buffer (Z main buffer) and speed up a drawing process by providing a ZR buffer in addition to the Z buffer.

CONSTITUTION: The drawing process is performed by using the Z main buffer wherein depth information representing the distance from a view point is made to correspond to pixels on a display screen. The Z main buffer is divided into $M \times N$ areas having each block composed of $K \times L$ pixels. The ZR buffer is stored with the maximum value ZMINR and maximum value ZMAXR of the depth information in the areas corresponding to the respective areas. The minimum value and maximum value of depth information on a polygon, etc., are represented as ZMIN and ZMAX respectively. When $ZMIN \geq ZMAXR$, a process for referring to the depth information stored in the Z main buffer and a drawing process for the polygon, etc., are omitted and when $ZMAX \leq ZMINR$, the drawing process for the polygon, etc., is performed without referring to the depth information stored in the Z main buffer.



LEGAL STATUS

[Date of request for examination] 12.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2763499

[Date of registration] 27.03.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-161526

(43)公開日 平成8年(1996)6月21日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 06 T 15/40				
A 63 F 9/22	B			
G 06 T 15/00				
	9365-5H	G 06 F 15/ 72	4 2 0	
	9365-5H	15/ 62	3 6 0	
	審査請求 未請求 請求項の数 6 FD (全 15 頁) 最終頁に統く			

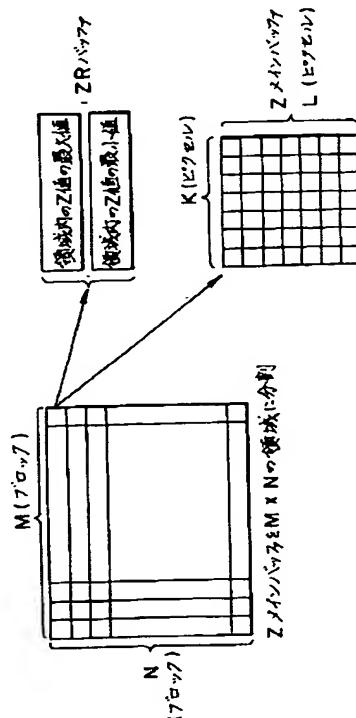
(21)出願番号	特願平6-321520	(71)出願人	000134855 株式会社ナムコ 東京都大田区多摩川2丁目8番5号
(22)出願日	平成6年(1994)11月30日	(72)発明者	武田 政樹 東京都大田区多摩川2丁目8番5号 株式会社ナムコ内
		(74)代理人	弁理士 布施 行夫 (外2名)

(54)【発明の名称】 画像合成装置及び画像合成方法

(57)【要約】

【目的】 Zバッファ (Zメインバッファ) の他にZRバッファを設けることで従来のZバッファを改良し描画処理の高速化を図ること。

【構成】 視点からの距離を表す奥行き情報を表示画面上の各ピクセルに対応づけて格納するZメインバッファを用いて描画処理を行う。Zメインバッファは、1ブロックがK×Lピクセルから成るM×Nの領域に分割される。ZRバッファは領域内における奥行き情報の最小値ZMINR、最大値ZMAXRを各領域に対応づけて格納する。ポリゴン等の奥行き情報の最小値等をZMIN、最大値等をZMAXと表す。そして、ZMIN≥ZMAXの場合はZメインバッファに格納される奥行き情報を参照する処理及び該ポリゴン等に対する描画処理を省略し、ZMAX≤ZMINRの場合はZメインバッファに格納される奥行き情報を参照することなくポリゴン等に対する描画処理を行う。



【特許請求の範囲】

【請求項1】 視点からの距離を表す奥行き情報を表示画面上の各ピクセルに対応づけて格納するZメインバッファの該奥行き情報を参照しながら描画処理を行う画像合成装置であって、

前記Zメインバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割した場合において、領域内における前記奥行き情報の最小値ZMIN及び最大値ZMAXを各領域に対応づけて格納するZRバッファと、

表示物をポリゴンの集合により表現し、該ポリゴンあるいは前記領域により切り取られるポリゴンの奥行き情報の最小値あるいは該最小値よりも小さい値をZMINと表し、該ポリゴンあるいは前記領域により切り取られるポリゴンの奥行き情報の最大値あるいは該最大値よりも大きい値をZMAXと表した場合に、 $ZMIN \geq ZMAX$ （あるいは $ZMIN > ZMAX$ ）の場合には前記Zメインバッファに格納される前記奥行き情報を参照する処理及び該ポリゴンに対する描画処理を省略し、 $ZMAX \leq ZMIN$ （あるいは $ZMAX < ZMIN$ ）の場合には前記Zメインバッファに格納される前記奥行き情報を参照することなく該ポリゴンに対する描画処理を行う描画処理手段と、

を含むことを特徴とする画像合成装置。

【請求項2】 視点からの距離を表す奥行き情報を表示画面上の各ピクセルに対応づけて格納するZメインバッファの該奥行き情報を参照しながら描画処理を行う画像合成装置であって、

前記Zメインバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割した場合において、領域内における前記奥行き情報の最小値ZMIN及び最大値ZMAXを各領域に対応づけて格納するZRバッファと、

描画処理を行うピクセルの奥行き情報をZPIXと表した場合に、 $ZPIX \geq ZMAX$ （あるいは $ZPIX > ZMAX$ ）の場合には前記Zメインバッファに格納される前記奥行き情報を参照する処理及び該ピクセルに対する描画処理を省略し、 $ZPIX \leq ZMIN$ （あるいは $ZPIX < ZMIN$ ）の場合には前記Zemainバッファに格納される前記奥行き情報を参照することなく該ピクセルに対する描画処理を行う描画処理手段と、

を含むことを特徴とする画像合成装置。

【請求項3】 請求項1又は2のいずれかにおいて、前記Zemainバッファの少なくとも前記1ブロック分の奥行き情報を格納するZCバッファを含み、前記描画処理手段が、前記Zemainバッファに格納される奥行き情報を参照する場合において該奥行き情報が前記ZCバッファに格納されている場合には、前記ZCバッファに格納される奥行き情報を参照して前記描画処理を行うことを特徴とする画像合成装置。

【請求項4】 請求項1又は2のいずれかにおいて、前記ZemainバッファがCAS信号に同期して列アドレスが変更されRAS信号に同期して行アドレスが変更されるメモリにより構成され、

少なくとも前記1ブロック分の奥行き情報が1行アドレス分のデータとして前記メモリに格納され、前記描画処理手段が、前記CAS信号を制御することで前記Zemainバッファに格納される奥行き情報の参照処理を行うことを特徴とする画像合成装置。

10 【請求項5】 視点からの距離を表す奥行き情報を表示画面上の各ピクセルに対応づけて格納するZemainバッファの該奥行き情報を参照しながら描画処理を行う画像合成方法であって、

前記Zemainバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割し、領域内における前記奥行き情報の最小値ZMIN及び最大値ZMAXを各領域に対応づけてZRバッファに格納し、表示物をポリゴンの集合により表現し、該ポリゴンあるいは前記領域により切り取られるポリゴンの奥行き情報

20 の最小値あるいは該最小値よりも小さい値をZMINと表し、該ポリゴンあるいは前記領域により切り取られるポリゴンの奥行き情報の最大値あるいは該最大値よりも大きい値をZMAXと表し、 $ZMIN \geq ZMAX$ （あるいは $ZMIN > ZMAX$ ）の場合には前記Zemainバッファに格納される前記奥行き情報を参照する処理及び該ポリゴンに対する描画処理を省略し、 $ZMAX \leq ZMIN$ （あるいは $ZMAX < ZMIN$ ）の場合には前記Zemainバッファに格納される前記奥行き情報を参照することなく該ポリゴンに対する描画処理を行うことを特徴とする画像合成方法。

【請求項6】 視点からの距離を表す奥行き情報を表示画面上の各ピクセルに対応づけて格納するZemainバッファの該奥行き情報を参照しながら描画処理を行う画像合成方法であって、

前記Zemainバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割し、領域内における前記奥行き情報の最小値ZMIN及び最大値ZMAXを各領域に対応づけてZRバッファに格納し、

40 描画処理を行うピクセルの奥行き情報をZPIXと表し、 $ZPIX \geq ZMAX$ （あるいは $ZPIX > ZMAX$ ）の場合には前記Zemainバッファに格納される前記奥行き情報を参照する処理及び該ピクセルに対する描画処理を省略し、 $ZPIX \leq ZMIN$ （あるいは $ZPIX < ZMIN$ ）の場合には前記Zemainバッファに格納される前記奥行き情報を参照することなく該ピクセルに対する描画処理を行うことを特徴とする画像合成方法。

【発明の詳細な説明】

【0001】

50 【産業上の利用分野】 本発明は、Zバッファを用いて描

画処理を行う画像合成装置に関する。

【0002】

【従来の技術】従来より、3次元画像を合成する画像合成装置として種々のものが知られている。図10にはその構成の一例が示される。この従来例は、操作部510、仮想3次元空間演算部520、画像供給部530、画像合成部540を含んでいる。仮想3次元空間演算部520は、操作部510から入力される操作情報に基づいて仮想3次元空間を形成するための演算を行う。画像供給部530は、形成された仮想3次元空間の所定の視点位置において見える画像を形成するための座標変換処理、クリッピング処理等の演算処理を行う。この場合、仮想3次元空間を構成する表示物は複数のポリゴンの集合により表されており、画像供給部530は、これらの各ポリゴンの情報（頂点座標等）を画像合成部540に10 出力する。画像合成部540では、入力されたポリゴン情報からポリゴン内のドット（ピクセル）を描画する処理が行われ、これによりディスプレイ512への画像表示が可能となる。

【0003】さて、通常、この種の描画処理を行う際に、ポリゴンとポリゴンとに重なりが生じた場合、視点から見て奥側にある部分（陰面）を消去し、手前側にある部分のみをディスプレイ上に表示する必要がある。このような陰面消去手法として、従来からZバッファ法と呼ばれる手法が知られている。このZバッファ法については、例えば情報処理VOL. 24 NO. 4（情報処理学会1983年4月15日発行）に記載されている。

【0004】さて、Zバッファ法により陰面消去を行なうべく、従来の画像合成装置では、画像合成部540が描画処理部542とZバッファ544等を含んでいる。ここで、Zバッファ544は、表示画面上の全てのピクセルに対応した格納エリアを有するメモリであり、各格納エリアには視点からの距離を表す奥行き情報であるZ値が格納されている。

【0005】図11（A）、（B）を用いてZバッファ法について説明する。図11（A）に示すように、三次元オブジェクト300、301を構成するポリゴンX、Yは、スクリーン306上に透視投影変換されている。そして、図11（B）に示す手順により、Zバッファ544を用いた描画処理が行われる。Zバッファ544には、初期値としてZ値の最大値M（通常は無限大値）が書き込まれている。そして、例えばポリゴンXを描画する場合、ポリゴンXの各ピクセルのZ値がZバッファ544に格納されている各ピクセルのZ値よりも小さいか否かかが判断される。そして、小さいと判断された場合には、当該ピクセルについて描画処理部542により描画処理が行われ、更に、Zバッファ544の当該ピクセルについてのZ値も更新される。具体的には、対応する部分のZ値は、全てMからX1～X12に更新される。

【0006】ポリゴンYを描画する場合も、描画する全

てのピクセルについてZバッファ544が参照され、上記と同様の手順により描画処理と、Zバッファ544の更新が行われる。具体的には、X7、X8、X11、X12がY1、Y2、Y5、Y6に更新され、ポリゴンYが描画される部分のMの値がY3、Y4、Y7、Y8～Y12に更新される。即ち、この場合は、ポリゴンYの方がポリゴンXよりも手前にあるため、重なっている部分は、ポリゴンYのZ値へと置き変わることとなる。描画処理部542は、以上のような手法により各ポリゴン10 についての描画処理を行い、求められた画像情報はフレームバッファ546、パレット回路548を介してディスプレイ512に出力される。

【0007】

【発明が解決しようとする課題】さて、通常、この種の画像合成装置では、リアルタイムに処理を行うことが要求されており、1フィールド毎、例えば1/60秒毎に1画面分（場合によっては2画面分）の画像データを更新してゆく必要がある。従って、当該画像合成装置には、処理の高速性が要求され、この高速性が担保されないと、結果的に画質低下等を引き起こす。そして、この画像処理の高速性を特に律速する部分は、各ピクセルについての描画処理を行う部分である。

【0008】ところが、従来のZバッファ法では、描画処理を行う際に、全てのピクセルについて、Zバッファ544を参照し、Zバッファに格納されているZ値との比較を行い、更に比較した結果をZバッファに書き込むという処理手順を踏まなければならない。通常、Zバッファは、多くのメモリ容量を有し、描画処理デバイスの外部メモリとして設けられる。従って、そのアクセスには時間を要し、全てのピクセルについてこの外部メモリをアクセスして描画処理を行うと、その処理時間は膨大なものとなる。これは、結果的に、1フィールド内に処理できるポリゴン数を制限することにつながり、高画質の画像を提供することの妨げとなっていた。

【0009】また、従来のZバッファ法では、Zバッファは外部メモリとなるため、描画処理デバイスの出力端子のピン数などの物理的な制約等に起因して、1の描画処理デバイスに複数のZバッファを接続して並列処理を実現することは困難であった。

【0010】また、特開平3-255589号には、Zバッファの内容の一部をキャッシュメモリに一時的に格納して描画処理を行う手法が開示されている。しかしながら、この従来手法でも、全てのピクセルについてキャッシュメモリに格納される奥行き情報を参照しながら描画処理を行わなければならず、描画処理に膨大な時間を要するという問題は依然として残る。

【0011】また、Zバッファとして用いられるDRA M等のメモリにおいては、ページモード等の種々の高速化手法が知られている。しかしながら、従来のZバッファ法では、これらの高速化手法の特徴を今一つ生かしき

れていなかった。

【0012】本発明は以上のような技術的課題を達成するためになされたものであり、その目的とするところは、Zバッファ（Zメインバッファ）の他にZRバッファを設けることで従来のZバッファを改良し、描画処理の高速化を図ることにある。

【0013】また、本発明の他の目的は、Zバッファ法を改良して並列処理に最適な描画処理手法を実現することにある。

【0014】また、本発明の他の目的は、キャッシュメモリ手法や、ページモード手法等による高速化が最適になるようにZバッファ手法を改良することにある。

【0015】

【課題を解決するための手段及び作用】上記課題を解決するために、本発明は、視点からの距離を表す奥行き情報を表示画面上の各ピクセルに対応づけて格納するZメインバッファの該奥行き情報を参照しながら描画処理を行う画像合成装置であって、前記Zメインバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割した場合において、領域内における前記奥行き情報の最小値ZMINR及び最大値ZMAXRを各領域に対応づけて格納するZRバッファと、表示物をポリゴンの集合により表現し、該ポリゴンあるいは前記領域により切り取られるポリゴンの奥行き情報の最小値あるいは該最小値よりも小さい値をZMINと表し、該ポリゴンあるいは前記領域により切り取られるポリゴンの奥行き情報の最大値あるいは該最大値よりも大きい値をZMAXと表した場合に、ZMIN≥ZMAXR（あるいはZMIN>ZMAXR）の場合には前記Zメインバッファに格納される前記奥行き情報を参照する処理及び該ポリゴンに対する描画処理を省略し、ZMAX≤ZMINR（あるいはZMAX<ZMINR）の場合には前記Zメインバッファに格納される前記奥行き情報を参照することなく該ポリゴンに対する描画処理を行う描画処理手段とを含むことを特徴とする

本発明によれば、ZMIN≥ZMAXRの場合には、Zメインバッファからの奥行き情報の参照処理及びポリゴンの描画処理が省略される。また、ZMAX≤ZMINRの場合にはZメインバッファからの奥行き情報を参照することなくポリゴンに対する描画処理が行われる。従って、これらの場合には、大きなメモリ容量を持つZメインバッファへのアクセスが必要なくなり、処理の高速化を図れる。特に、Zメインバッファが外部メモリとして設けられZRバッファが内部メモリとして設けられている場合にはこの高速化の度合いは更に増す。また、ポリゴンの大きさが1ブロック分程度の大きさである場合には、通常のZバッファ法に比べて参照処理の回数を例えば2／(K×L)倍程度とことができ、これにより処理を更に高速化できる。

【0016】また、本発明は、視点からの距離を表す奥

行き情報を表示画面上の各ピクセルに対応づけて格納するZメインバッファの該奥行き情報を参照しながら描画処理を行う画像合成装置であって、前記Zメインバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割した場合において、領域内における前記奥行き情報の最小値ZMINR及び最大値ZMAXRを各領域に対応づけて格納するZRバッファと、描画処理を行うピクセルの奥行き情報をZPIXと表した場合に、ZPIX≥ZMAXR（あるいはZPIX>ZMAXR）の場合には前記Zメインバッファに格納される前記奥行き情報を参照する処理及び該ピクセルに対する描画処理を省略し、ZPIX≤ZMINR（あるいはZPIX<ZMINR）の場合には前記Zメインバッファに格納される前記奥行き情報を参照することなく該ピクセルに対する描画処理を行う描画処理手段とを含むことを特徴とする。

【0017】本発明によれば、ZPIX≥ZMAXRの場合には、Zメインバッファからの奥行き情報の参照処理及びポリゴンの描画処理が省略される。また、ZPIX≤ZMINRの場合にはZemainバッファからの奥行き情報を参照することなくポリゴンに対する描画処理が行われる。従って、これらの場合には、大きなメモリ容量を持つZemainバッファへのアクセスが必要なくなり、処理の高速化を図れる。特に、Zemainバッファが外部メモリとして設けられZRバッファが内部メモリとして設けられている場合にはこの高速化の度合いは更に増す。

【0018】また、本発明は、前記Zemainバッファの少なくとも前記1ブロック分の奥行き情報を格納するZCバッファを含み、前記描画処理手段が、前記Zemainバッファに格納される奥行き情報を参照する場合において該奥行き情報が前記ZCバッファに格納されている場合には、前記ZCバッファに格納される奥行き情報を参照して前記描画処理を行うことを特徴とする。

【0019】本発明によれば、キャッシュメモリであるZCバッファに少なくとも1ブロック分の奥行き情報が格納されている。そして、Zemainバッファを参照しなければならないような状況において、参照すべき奥行き情報がZCバッファに格納されている場合には、少ないメモリ容量のZCバッファを参照して描画処理が行われる。従って、処理の高速化を図れる。特に、Zemainバッファが外部メモリとして設けられておりZCバッファが内部メモリとして設けられている場合にはこの高速化の度合いは更に増す。

【0020】また、本発明は、前記ZemainバッファがCAS信号に同期して列アドレスが変更されRAS信号に同期して行アドレスが変更されるメモリにより構成され、少なくとも前記1ブロック分の奥行き情報が1行アドレス分のデータとして前記メモリに格納され、前記描画処理手段が、前記CAS信号を制御することで前記Z

メインバッファに格納される奥行き情報の参照処理を行うことを特徴とする。

【0021】本発明によれば、Zメインバッファがページモード機能を有するメモリにより構成され、少なくとも1ブロック分の奥行き情報がメモリの1行アドレス分のデータとして格納される。そして、CAS信号を制御することで列アドレスの変更が行われ奥行き情報の参照処理が行われる。このように本発明によれば、メモリの高速化手法であるページモードを利用することで処理の高速化が図れる。

【0022】

【実施例】以下、本発明の好適な実施例について図面に基づき説明する。

【0023】1. 原理の説明

まず、本発明の原理について説明する。本発明では、奥行き情報であるZ値を格納する通常のZバッファ（以下、これをZメインバッファと呼ぶ）以外に、ZRバッファを別に用意する。本発明では、図1に示すように、Zメインバッファを1ブロックがK×Lピクセルから成るM×Nの領域に分割する。そして、その1ブロックの領域内でのZ値の最小値と最大値とを、各領域に対応づけてZRバッファに格納する。即ち、ZRバッファは、M×Nの格納エリアを持ち、各格納エリアには、そのエリアに対応する領域内におけるZ値の最小値ZMINRと最大値ZMAXRとが格納される。

【0024】従来のZバッファ法では以下のようにして描画処理が行われる。まず、ポリゴン内の各ピクセルについてのZ値（Z座標）ZPを計算する。次に、このZPと、Zメインバッファ上の対応するZ値ZBとを比較する。そして、ZP≤ZBの場合には、そのピクセルについて、フレームバッファ上に格納されている色情報等及びZメインバッファ上に格納されているZ値とを更新する。なお、以下では、視点から見て手前にあるほどZ値が小さくなるという前提で話を進める。もちろん、視点から見て手前にあるほどZ値が大きくなるとしても、本発明の原理的一般性は失われない。

【0025】さて、本発明では、ポリゴン上のピクセルが、あるブロック（図1に示すブロック）に1ピクセルでも入っている場合に次の比較処理が行われる。即ち、そのポリゴンのZ値の最小値に相当する値をZMIN、最大値に相当する値をZMAX、そのブロックの領域内におけるZ値の最小値をZMINR、最大値をZMAXRとする。ここで、最小値に相当する値、最大値に相当する値は、必ずしもポリゴンのZ値の真の最小値ZMINT、真の最大値ZMAXTである必要はなく、少なくともZMIN≤ZMINT、ZMAX≥ZMAXTであればよい。また、ZMINR、ZMAXRはZRバッファに現在格納されている値である。

【0026】本発明では、上記のZMINとZMAXRとを比較し、ZMAXとZMINRとを比較する。この

比較結果は以下の3通りに分類できる。

(1) $ZMIN \geq ZMAXR$ (あるいは $ZMIN > ZMAXR$) の場合

(2) $ZMAX \leq ZMINR$ (あるいは $ZMAX < ZMINR$) の場合

(3) 上記(1)、(2)のいずれにも該当しない場合
上記(1)の場合は、図2(A)に示すように、ポリゴン内の全てのピクセルのZ値が、ブロックの領域内のZ値の最大値を超えていることを意味する。従って、このポリゴン内の全てのピクセルは、描画処理が不要なピクセルであることが判明する。そこで、この場合には、ZメインバッファのZ値を参照する処理（Z値を読み出し、比較する処理）、参照結果に基いてポリゴンを描画する処理を省略する。

【0027】上記(2)の場合は、図2(B)に示すように、ポリゴン内の全てのピクセルのZ値が、ブロックの領域内のZ値の最小値以下であることを意味する。従って、このポリゴン内の全てのピクセルは、描画処理が必要なピクセルであることが判明する。そこで、この場合には、ZメインバッファのZ値を参照することなく、このポリゴンについての描画処理を行う。そして、ポリゴン内の全てのピクセルについて、Zメインバッファ上のZ値及びZRバッファ上の最小値、最大値を更新する。

【0028】上記(3)の場合は、図2(C)に示すようになる。従って、この場合には、通常のZバッファ法と同様に、ZメインバッファのZ値を参照し、参照結果に基づいて描画処理を行う。そして、描画処理を施したピクセルについて、Zメインバッファ上のZ値及びZRバッファ上の最小値、最大値を更新する。

【0029】ZRバッファはブロック毎に最小値、最大値を格納すればよいので小容量のメモリで構成できる。このため、ZRバッファは、参照処理等を行うデバイス（IC）に内蔵することができる。この結果、ZRバッファの入出力ポートを多ポート化し、これらの各ポートに参照処理手段を接続すれば、上記の参照処理を並列化することができる。これにより処理の高速化を図れる。

【0030】なお、以上の説明では、描画処理をポリゴン毎に行う場合について説明した。しかし、本発明はこれに限らず、例えばスキャンラインアルゴリズム等を用いてポリゴンとは無関係にピクセル毎に描画処理を行う場合にも適用できる。この場合には、描画処理を行うピクセルのZ値（奥行き情報）をZPIXとした場合に、ZPIXとZMAXRとを比較し、ZPIXとZMINRとを比較する。この比較結果は以下の3通りに分類できる。

(4) $ZPIX \geq ZMAXR$ (あるいは $ZPIX > ZMAXR$) の場合

(5) $ZPIX \leq ZMINR$ (あるいは $ZPIX < ZMINR$) の場合

(6) 上記(4)、(5)のいずれにも該当しない場合上記(4)の場合は、該ピクセルは描画処理が不必要なピクセルであることが判明するため、ZメインバッファのZ値を参照する処理、参照結果に基づいてピクセルを描画する処理を省略する。

【0031】上記(5)の場合は、該ピクセルは描画処理が必要なピクセルであることが判明するため、ZメインバッファのZ値を参照することなく、このピクセルについての描画処理を行う。そして、該ピクセルについて、Zメインバッファ上のZ値及びZRバッファ上の最小値、最大値を更新する。

【0032】上記(6)の場合は、通常のZバッファ法と同様に、ZメインバッファのZ値を参照し、参照結果に基づいて描画処理を行う。そして、該ピクセルについて、Zメインバッファ上のZ値及びZRバッファ上の最小値、最大値を更新する。

【0033】ポリゴン毎に処理を行う場合には、例えば上記(1)の時にZRバッファを1回参照するだけでポリゴン内の全てのピクセルについての描画処理を省略することが可能となる。従って、処理を非常に高速化できる。これに対して、ピクセル毎に処理では、ポリゴン毎の場合ほどには処理を高速化できない。しかしながら、ピクセル毎に処理する場合にも、メモリ容量が大きく外部メモリとして存在するZメインバッファの参照処理が不必要になるため、この意味において従来のZバッファ法よりも処理の高速化を図れる。

【0034】次に、本発明により描画処理が如何に高速化されるかについて説明する。

【0035】従来のZバッファ法においては、Z値の参照処理(読み出し及び比較処理)は描画すべき全てのピクセルに対して行わなければならない。従って、描画すべき図形(ポリゴン等)が例えば1ブロック(K×Lピクセル)分程度の大きさを持つと仮定すると、K×L回の参照処理が必要になる。これに対して、本発明では、上記(1)、(2)(または(4)、(5))の場合、ZRバッファを2回参照すれば足りる。例えば、K=16、L=16の場合には、従来のZバッファではK×L=256回の参照処理が必要であったが、本発明では2回で済み、処理量は $2/(K \times L) = 1/128$ 倍になる。また、上記(3)(または(6))の場合には、従来のZバッファと同等の処理速度になるが、これについても適当な高速化手法と組み合わせることで、高速化を図れる。このような高速化手法としては、

(7) Zメインバッファの一部の奥行き情報(少なくとも1ブロック分の奥行き情報)を、高速のキャッシュメモリ(以下、ZCバッファと呼ぶ)に格納して高速化する手法

(8) 少なくとも1ブロック分の奥行き情報を、DRAM等で構成されるZメインバッファの1行アドレス分のデータとして格納し、DRAM等の高速ページモードを

利用して高速化する手法などが考えられる。

【0036】実際の使用時にどの程度の高速化を図れるかは、K、L、M、Nの値、描画状況によってかなり変化する。(1)、(2)(または(4)、(5))の状態では大きく高速化を図れるが、(3)(または(6))の状態になった場合にはあまり高速化を図れない。この場合には、上記(7)、(8)の手法で高速化を図ればよい。

【0037】2. 第1の実施例

10 図3、図4には、本発明の第1の実施例の構成を表すブロック図が示される。第1の実施例は、操作部12、仮想3次元空間演算部100、画像供給部210、画像合成部230、ディスプレイ10を含む。また、図4に示すように画像合成部230は、描画処理部232、ZRバッファ234、Zメインバッファ236、フレームバッファ238、パレット回路240を含む。

【0038】操作部12には、例えばレーシングカーゲームに適用した場合を例にとれば、レーシングカーを運転するためのハンドル、アクセル等が含まれ、これにより操作情報が入力される。

【0039】仮想3次元空間演算部100では、仮想3次元空間における複数の表示物、例えばレーシングカー、コース、ビル等の位置、方向等を設定する演算が行われる。この演算は、操作部12からの操作情報や、処理部102に記憶されるゲームプログラム、あらかじめ設定記憶されているマップ情報等に基づいて行われる。画像供給部210では、仮想3次元空間演算部100で設定された表示物の位置、方向等の情報、及びオブジェクト画像情報記憶部212から読み出されたオブジェクト画像情報に基づいて、各種の3次元演算処理が行われる。即ち、まず、図5に示すように、レーシングカー、コース等を表すオブジェクト300、333、334について、それを構成するポリゴンをワールド座標系(絶対座標系)(XW、YW、ZW)で表現される仮想3次元空間上に配置するための演算処理が行われる。次に、座標変換部214により、これらの各オブジェクトについて、それを構成するポリゴンをプレーヤ302の視点位置等を原点とする視点座標系(Xv、Yv、Zv)へ座標変換する処理が行われる。その後、クリッピング処理部216により、いわゆるクリッピング処理が行われ、次に、透視投影変換部218により、スクリーン座標系(xs、ys)への透視投影変換処理が行われる。

【0040】図4に示す画像合成部230では、画像供給部210において得られたポリゴン情報(ポリゴンの頂点座標、頂点テクスチャ座標、頂点輝度情報等)、アトリビュート情報(ポリゴン内において共通の情報)等から、ポリゴン内の全てのピクセルを描画する処理が行われる。この描画処理は、ピクセル描画部250と描画判断部252とを含む描画処理部232により行われる。描画処理部232により求められたカラー情報、輝

度情報等はフレームバッファ238に格納され、パレット回路240を介してディスプレイ10に出力される。なお、テクスチャマッピング手法を採用する場合には、描画処理部232とフレームバッファ238との間、あるいは、フレームバッファ238とパレット回路240との間にテクスチャ情報記憶手段を別に設ける必要がある。

【0041】次に、本実施例の動作について説明する。まず、画像供給部210からのポリゴン情報等は、ピクセル描画部250及び描画判断部252の両方に同時に入力される。このポリゴン情報等に基づき、ピクセル描画部250は、描画するピクセルを決定し、そのピクセルのZ値と、そのピクセルの場所を表す情報であるX、Y座標を描画判断部252に出力し、参照（読み出し及び比較）要求を行う。この時、描画判断部252は、画像供給部210から入力されるポリゴン情報等に基づいて、ZRバッファ234、Zメインバッファ236のどちらが必要になるかをあらかじめ決めておく。そして、ピクセル描画部250からの参照要求に対して、すぐにピクセル描画部250に参照結果を返せるように用意しておく。即ち、描画判断部252では、ポリゴン情報等が入力された段階で、ZMIN、ZMAXを求めると共に、ZRバッファ234からZMINR、ZMAXRを読み出し、ZMINとZMAXR、ZMAXとZMINRとの比較処理を済ましておく。なお、この場合、図6において、ポリゴンのZ値の最小値、最大値としては、ブロック領域400との位置関係を考慮せずにポリゴン402の最小値、最大値ZMIN、ZMAXを用いてもよい。また、ポリゴン402とブロック領域400との位置関係を考慮して、ブロック領域400により切り取られた場合のポリゴン402の最小値、最大値ZMIN'、ZMAX'を用いてもよい。

【0042】ZRバッファ234への参照処理により、Zメインバッファ236のZ値を参照する必要があると判断された場合には、描画判断部252はZメインバッファ236からZ値を読み出す処理を済ましておく。

【0043】以上により、ピクセル描画部250は、Z値、X、Y座標を描画判断部252出力し参照要求を行うだけでよく、描画判断部252の参照処理が完了しているか否かを意識する必要がなくなる。そして、描画判断部252において既にZ値の比較が可能な状態になっている場合、即ち、ZRバッファ234に対する参照処理により描画処理が必要ないと判断された場合、及び、Zメインバッファ236から必要なZ値が読み出されている場合には、ピクセル描画部250はすみやかに参照結果を得ることができる。これにより、フレームバッファ238への画像情報の書き込みが可能となり、処理の高速化を図ることができる。

【0044】一方、描画判断部252においてZ値の比較がまだ可能な状態になっていない場合、描画判断部2

52はピクセル描画部250に対して処理のウェイトをかける。これにより、処理は低速化するが正確な処理動作が保証される。

【0045】なお、描画判断部252に対しては、必ずしもポリゴン情報を入力する必要はないが、このようにポリゴン情報を入力しておくことで、入力される参照要求に対して参照結果を返す処理が高速化される。また、ピクセル描画部250と描画判断部252とを分ける図4の構成の利点は、ZRバッファ234、Zメインバッファ236の容量、アクセスタイミング等が変化した場合にも、ピクセル描画部250の構成を変更する必要がない点である。

【0046】また、本実施例では、Zメインバッファ236は大きなメモリ容量が必要なため、描画処理部232等を構成するデバイスの外に外部メモリとして設けられる。一方、ZRバッファ234は、少ないメモリ容量で足りるためデバイスに内蔵することができる。このため、ZRバッファ234に対しては高速にアクセスできるため、全ての場合においてZメインバッファ236にアクセスしなければならなかった従来のZバッファ手法に比べて処理の高速化を図れる。また、ZRバッファ234をデバイスに内蔵できると、前述のピン数の物理的な制約等を受けずに済むため、図7に示すように、ZRバッファ234の入出力ポートを多ポート化し、各ポートに描画処理部232-1～232-4を接続する構成とすることが可能となる。これにより描画処理部の処理を並列化することができ、更なる高速化を図ることができる。

【0047】3. 第2の実施例

図8には、本発明の第2の実施例のブロック図が示される。第1の実施例と異なるのは、キャッシュメモリであるZCバッファ237が新たに設けられている点である。このZCバッファ237には、Zメインバッファ236の少なくとも1ブロック分、好ましくは複数ブロック分の奥行き情報が格納されている。そして、上述の(3) (又は(6))に該当する場合、即ちZメインバッファ236に格納される奥行き情報を参照する必要がある場合には、描画判断部252は、まずZCバッファ237を参照する。そして、ZCバッファ237に参照すべき奥行き情報が存在する場合にはZCバッファ237から奥行き情報を読み出し、参照すべき奥行き情報が存在しない場合に、初めて、Zメインバッファ236にアクセスすることになる。

【0048】ZCバッファ237は、少ないメモリ容量で足りるため描画処理等を行うデバイスに内蔵できる。従って、ZCバッファ237に対するアクセスはZメインバッファ236に対するアクセスよりも高速化でき、これにより上述の(3) ((6))に該当する場合の処理速度の低下を抑えることができる。また、ZCバッファ237は、デバイスに内蔵できるため、図7と同様に

ZCバッファ237についても多ポート化し、複数の描画処理部232-1～2232-4を接続することで、ZCバッファ237からの参照処理も並列化することができる。

【0049】また、ZCバッファ237には少なくとも1ブロック分の奥行き情報が格納されている。従って、描画判断部252は、ポリゴン情報とZRバッファ234に格納されるZMINR、ZMAXRとに基づいて上述の(3) ((6))に該当すると判断した場合には、その後は、ZCバッファ237の奥行き情報のみを参照すればよいことになる。これにより、処理の簡易化、高速化を図ることができる。このように、ZRバッファ234の少なくとも1ブロック分に対応する奥行き情報を、ZCバッファ237に格納する本実施例の構成は、キャッシング機能を有するメモリとの単なる組み合わせ以上の特有の効果を有する。

【0050】4. 第3の実施例

第3の実施例は、DRAM等のページモード機能を利用して高速化を図る実施例である。例えば、Zメインバッファ236を、図9(A)に示すように $4 \times 4 = 16$ ピクセルから成るM×Nの領域に分割した場合を考える。この場合、何も工夫せずに通常通りにZメインバッファ236の内容をDRAM等に格納すると、図9(B)に示すようなアドレス配置でデータ(奥行き情報)が格納されることになる。このようなアドレス配置で奥行き情報を格納すると、例えばaのブロックの奥行き情報を読み出す場合には、まず1行目のアドレスをセレクトしてa1～a4を読み出し、次に2行目のアドレスを選択しa5～a8を読み出すというように、行アドレスを順次インクリメントする作業が必要となる。これはメモリへの読み出し・書き込み処理の高速化を妨げる。そこで、本第3の実施例では、図9(C)に示すように、例えばaのブロックの奥行き情報をZメインバッファ236の1行目のアドレスに、bのブロックの奥行き情報を2行目のアドレスに、cのブロックの奥行き情報を3行目のアドレスにというように格納する。もちろん、1行目のアドレスに複数ブロック分の奥行き情報を格納してもよい(例えばa、b、cのブロックの奥行き情報を1行目のアドレスに格納する)。

【0051】そして、本第3の実施例では、Zメインバッファ236は、ページモード機能を有するDRAM等により構成される。このページモードでは、図9(D)に示すように、列アドレスはCAS信号に同期して変更され、行アドレスはRAS信号に同期して変更される。従って、同一の行アドレスに属するデータはCAS信号のみを制御するだけで高速に読み出し・書き込むことができる。本実施例では、1つの行アドレスに少なくとも1ブロック分の奥行き情報が格納されている。従って、1つのブロックの奥行き情報を参照している間は、CAS信号を制御するのみで奥行き情報を読み出し・書き込

むことができ、これにより、奥行き情報の高速な読み出し・書き込みが可能となる。そして、このCAS信号の制御は描画判断部252により行われる。

【0052】このように、ZRバッファ234の少なくとも1ブロック分に対応する奥行き情報を、Zメインバッファ236の1行アドレス分のデータとして格納すると共にページモードの高速性を利用する本実施例の構成は、ページモード機能を有するメモリとの単なる組み合わせ以上の特有の効果を有する。

10 【0053】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0054】例えば、上記実施例では、ポリゴン毎に描画処理を行う場合について主に説明したが、本発明はこれに限らず、スキャンラインアルゴリズム等を用いてポリゴンに無関係にピクセル毎に処理を行う場合にも適用できる。

20 【0055】また、上記実施例では、視点から遠いほど奥行き情報が大きくなるとして説明を行ったが、視点から遠いほど奥行き情報が小さくなる場合も当然に本発明の均等な範囲に含まれる。

【0056】また、描画処理部の構成、画像合成部の構成、画像合成装置の全体構成も、上記実施例で説明したものに限らず種々の構成を採用できる。

30 【0057】また、本発明の画像合成装置、画像合成方法は、業務用のゲーム機、家庭用のゲーム装置、フライトイシミュレータ、教習所等で使用されるドライビングシミュレータ等の種々のものに適用できる。特に、本発明の原理は、家庭用ゲーム装置、パーソナルコンピュータに使用されるゲームカートリッジ、CD-ROM、フロッピーディスクに格納されるゲームプログラムのアルゴリズム等にも当然に適用できる。更に、多数のプレイヤーが参加する大型アトラクション型のゲーム装置、シミュレーション装置にも適用できる。

【0058】また、ゲーム装置に適用する場合には、レーシングカーゲーム、対戦ゲーム、ロールプレイングゲーム、3次元的にマップが形成された宇宙船ゲーム等の種々のゲーム装置に本発明は適用できる。

40 【0059】また、本発明において画像合成部、描画処理部等で行われる演算処理は、専用の画像合成デバイスを用いて処理してもよいし、汎用のマイクロコンピュータ、DSP等を利用してソフトウェア的に処理してもよい。

【0060】

【発明の効果】本発明によれば、参照処理の回数を例えば $2 / (K \times L)$ 倍程度とすることができます、従来のZバッファ法に比べて処理を格段に高速化できる。また、本発明によれば、ZRバッファを多ポート化し、描画処理を並列化することも可能となる。

50 【0061】また、本発明によれば、大きなメモリ容量

を持つZメインバッファへのアクセスが必要なくなり、従来のZバッファ法に比べて処理を格段に高速化できる。また、ZRバッファを多ポート化し、描画処理を並列化することも可能となる。

【0062】また、本発明によれば、キャッシュメモリであるZCバッファを利用することで処理の高速化が図られる。また、ZRバッファのみならずZCバッファについても多ポート化し、描画処理を並列化することが可能となる。そして、ZRバッファの少なくとも1ブロック分に対応する奥行き情報をZCバッファに格納する本発明の構成は、キャッシュ機能を有するメモリとの単なる組み合わせ以上の特有の効果を有するものである。

【0063】また、本発明によれば、メモリのページモード機能を利用して処理の高速化が図られる。そして、ZRバッファの少なくとも1ブロック分に対応する奥行き情報を、Zメインバッファの1行アドレス分のデータとして格納すると共にページモードの高速性を利用する本発明の構成は、ページモード機能を有するメモリとの単なる組み合わせ以上の特有の効果を有するものである。

【0064】

【図面の簡単な説明】

【図1】本発明の原理を説明するための図である。

【図2】図2(A)～(C)は、ZMIN、ZMAX、ZMINR、ZMAXRの関係を示す図である。

【図3】本発明の第1の実施例を示すブロック図である。

【図4】本発明の第1の実施例の画像合成部の詳細を示すブロック図である。

【図5】本実施例における3次元演算処理について説明するための図である。

【図6】ポリゴンのZ値の最小値、最大値の決め方について説明する図である。

【図7】ZRバッファを多ポート化し並列処理を行う場合の例を示す図である。

【図8】本発明の第2の実施例を示すブロック図である。

【図9】図9(A)～(D)は、本発明の第3の実施例を説明するための図である。

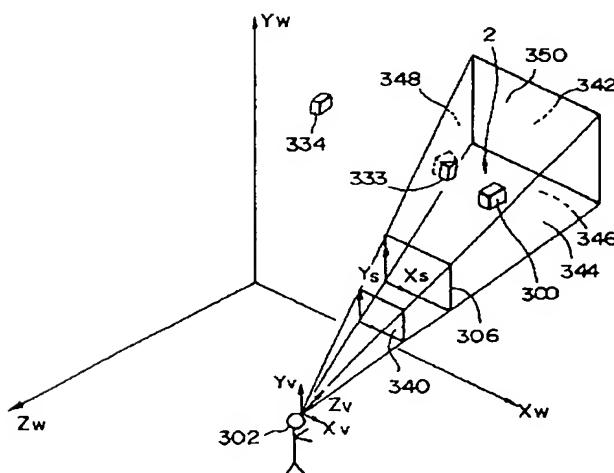
【図10】従来例の構成の一例を示すブロック図である。

【図11】図11(A)、(B)は、Zバッファ法について説明するための図である。

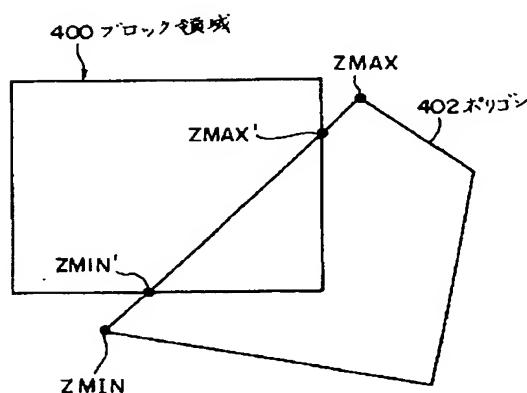
【符号の説明】

- | | |
|-----|---------------|
| 10 | ディスプレイ |
| 12 | 操作部 |
| 100 | 仮想3次元空間演算部 |
| 102 | 処理部 |
| 210 | 画像供給部 |
| 212 | オブジェクト画像情報記憶部 |
| 214 | 座標変換部 |
| 216 | クリッピング処理部 |
| 218 | 透視投影変換部 |
| 230 | 画像合成部 |
| 232 | 描画処理部 |
| 234 | ZRバッファ |
| 236 | Zメインバッファ |
| 237 | ZCバッファ |
| 238 | フレームバッファ |
| 240 | パレット回路 |
| 250 | ピクセル描画部 |
| 252 | 描画判断部 |

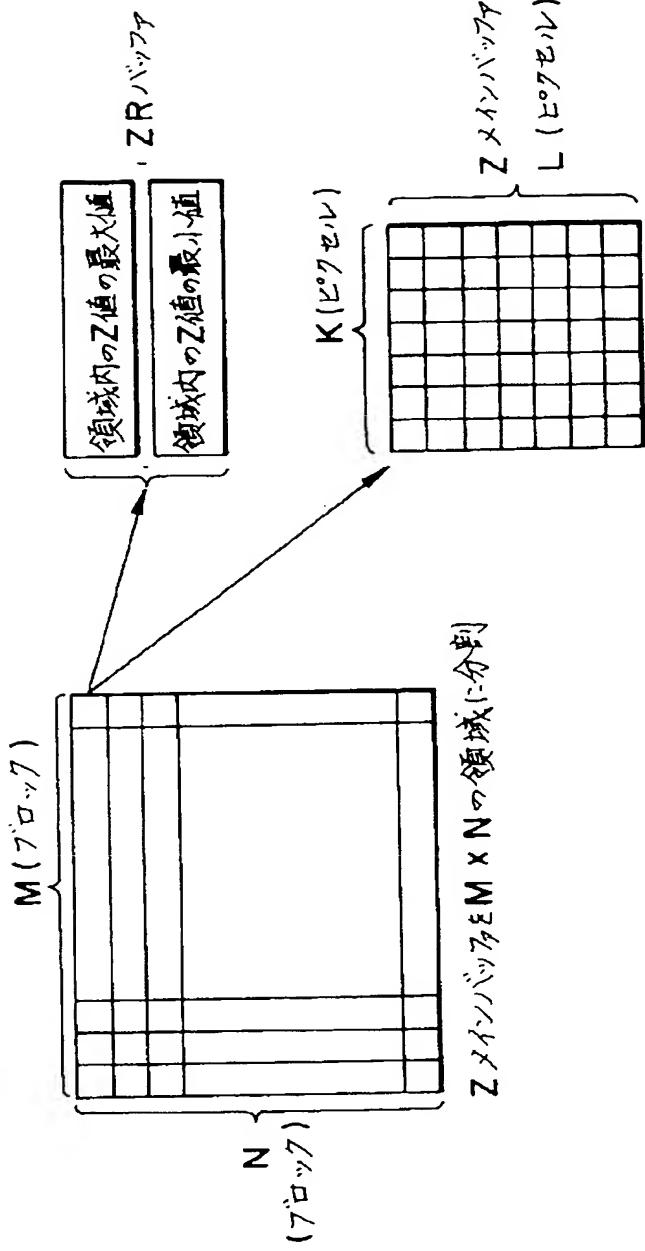
【図5】



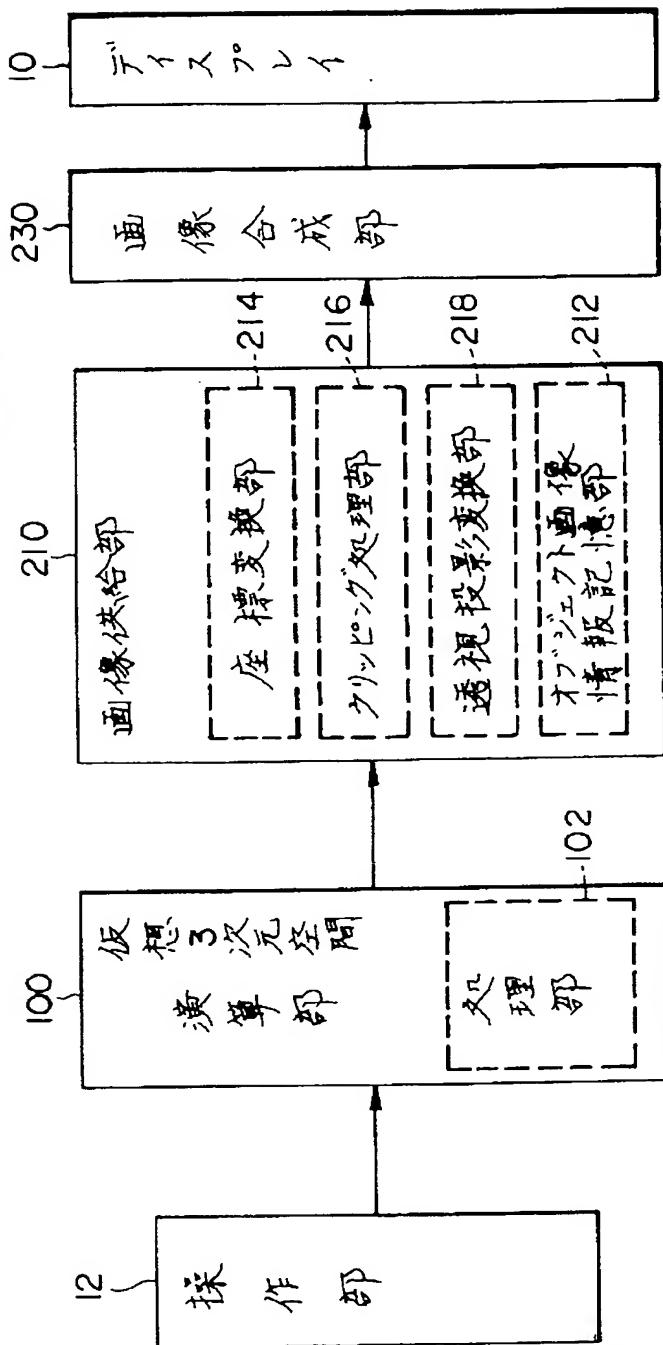
【図6】



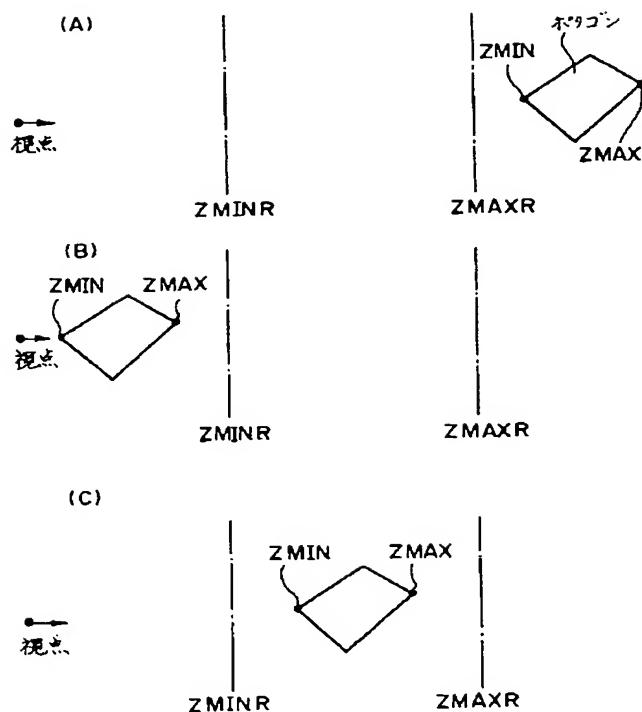
【図 1】



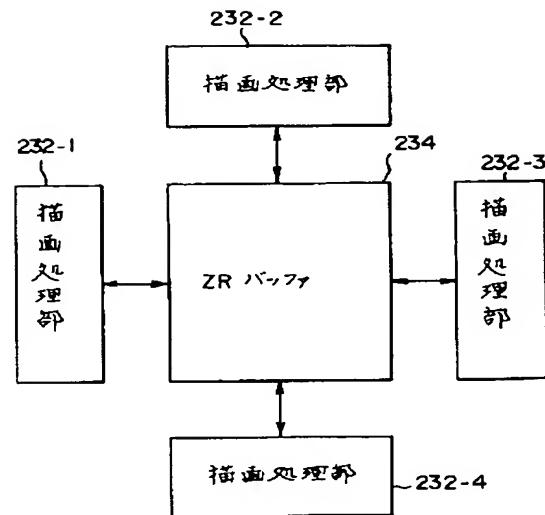
【図3】



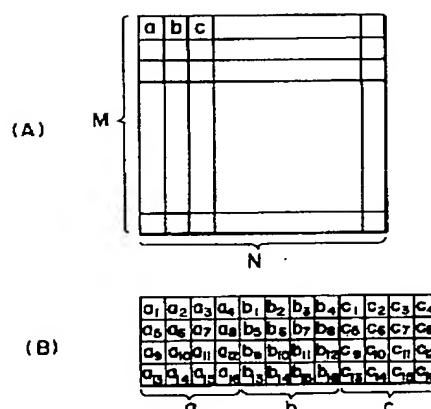
【図2】



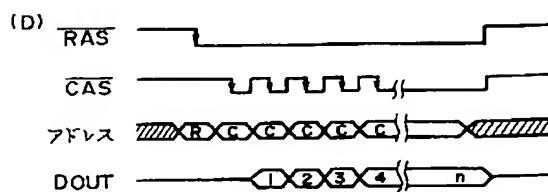
【図7】



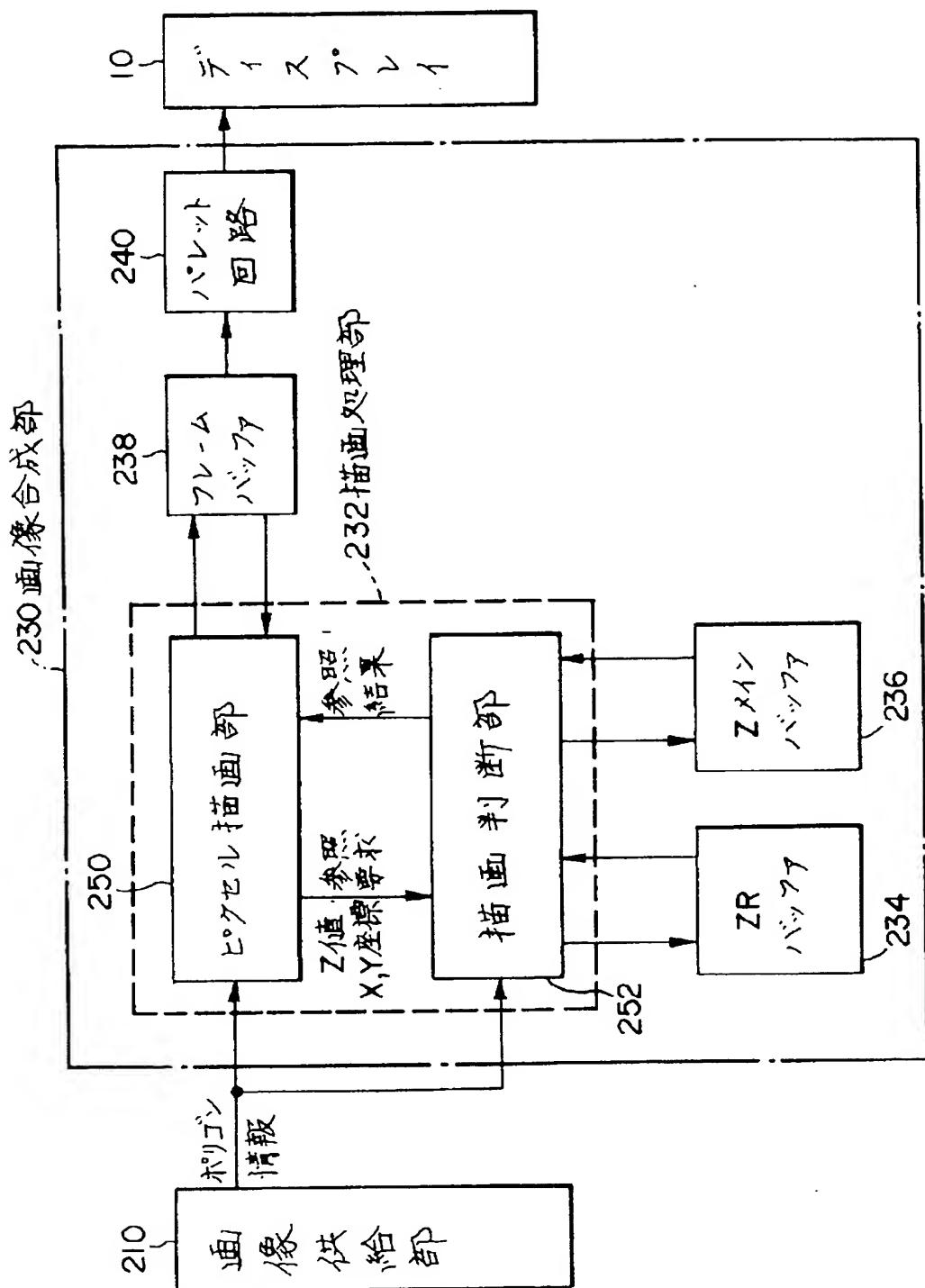
【図9】



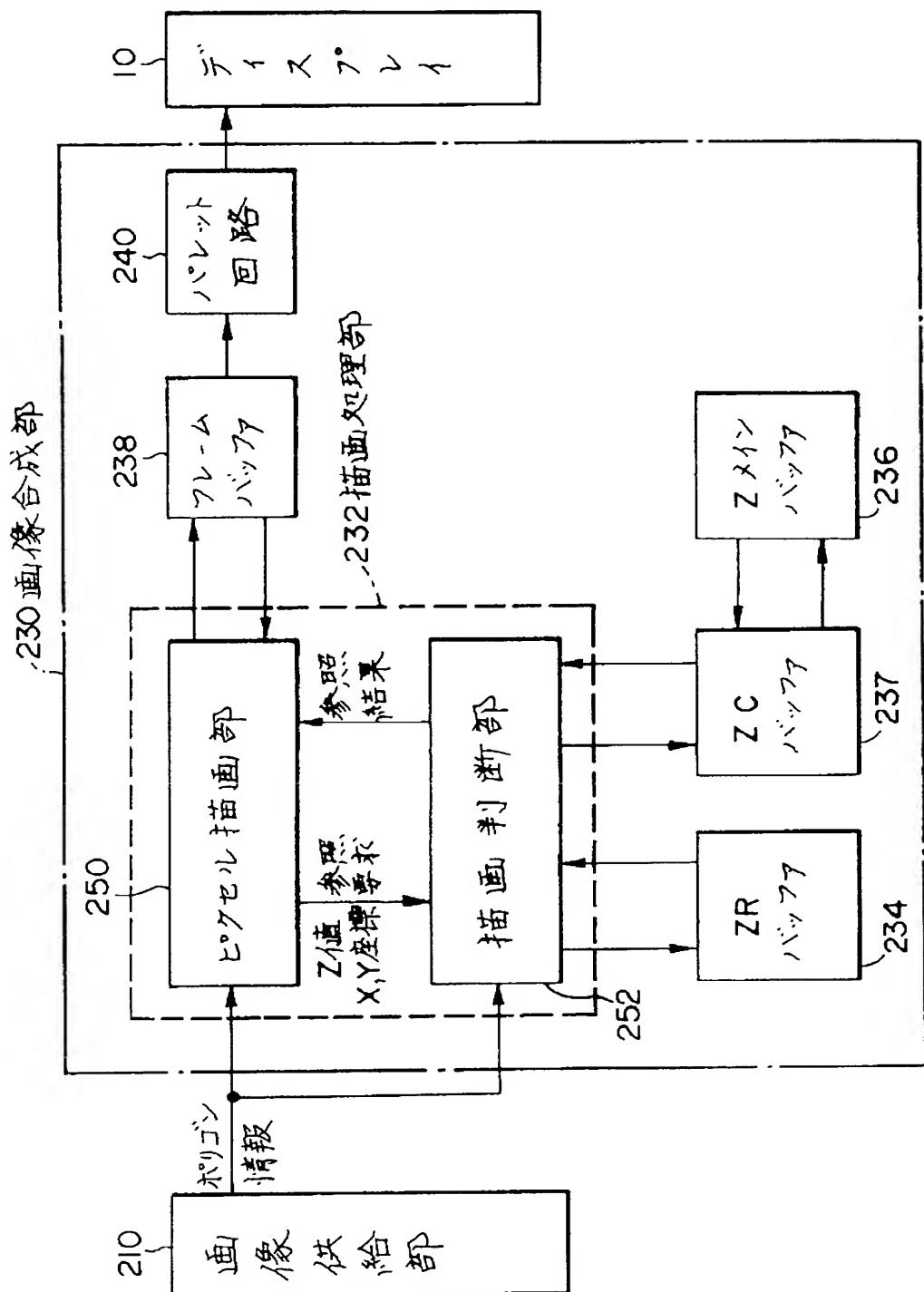
	列	1	2	3	- - -	15	16
行	1行目	a ₁₁	a ₂₁	a ₃₁		a ₆₁	a ₇₁
	2行目	b ₁₁	b ₂₁	b ₃₁		b ₆₁	b ₇₁
	3行目	c ₁₁	c ₂₁	c ₃₁		c ₆₁	c ₇₁



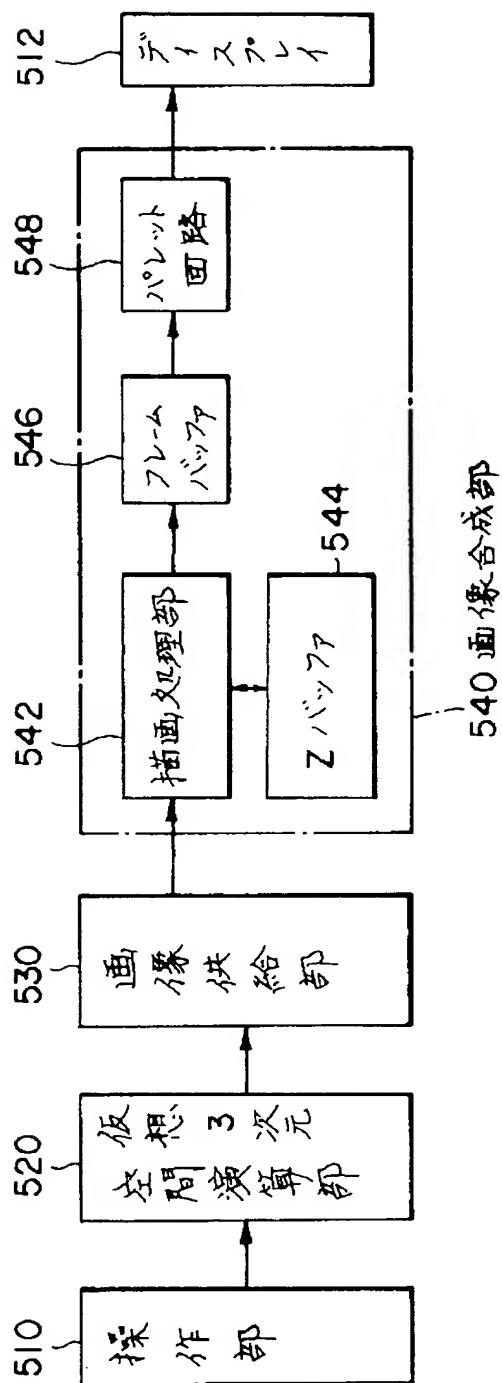
【図4】



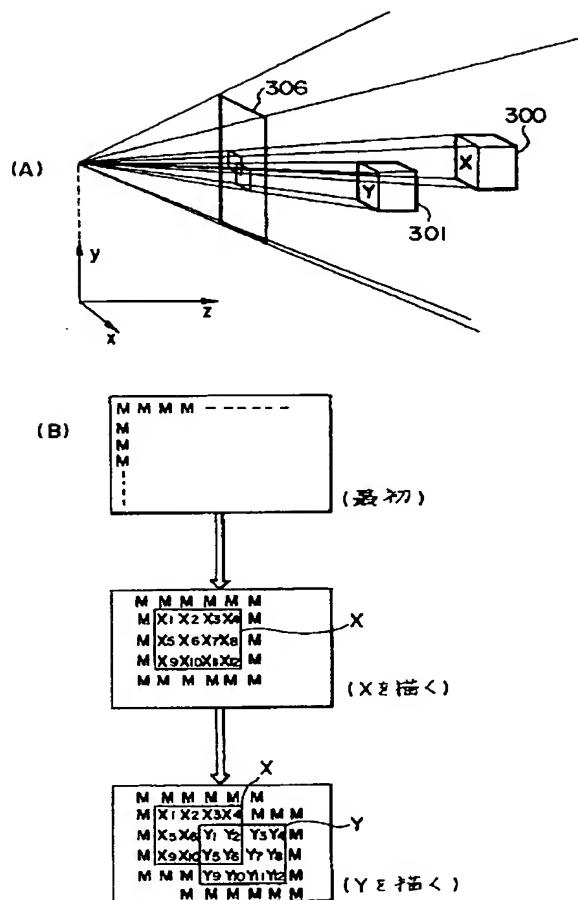
【図8】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. 6

// H 04 N 7/18

識別記号 庁内整理番号

P

F I

技術表示箇所